

SEMICONDUCTOR DEVICE

Patent Number: JP10022449
Publication date: 1998-01-23
Inventor(s): MIMURA TADAAKI
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD
Requested Patent: ☐ JP10022449
Application Number: JP19960172012 19960702
Priority Number(s):
IPC Classification: H01L25/04 ; H01L25/18 ; G06F17/50 ; H01L23/538
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To minimize the system cost, increase the degree of freedom in wiring design within an interconnecting network, improve the signal transmission property, and improve the efficiency of interprocessor data transfer, by forming a processor portion and an interconnecting network portion using separate semiconductor chips, respectively, and unifying these portions in a COC structure.

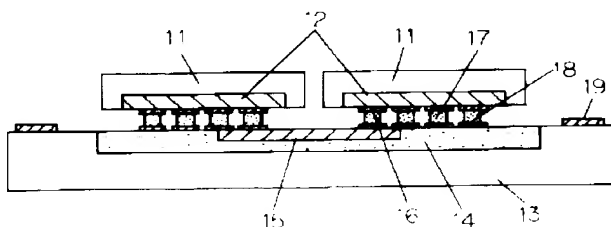
SOLUTION: A semiconductor device has a COC structure in which a PE chip 11 on the upper surface and an interconnecting network forming chip 13 on the lower surface are bonded, with active surfaces thereof facing each other. The junction between the chips 11 and 13 is realized by connecting area electrode pads 16, 18 formed in the PE chip 11 and the interconnecting network forming chip 13 by a bump 17. Thus, the PE including a micro-processor and DSP, which is a constituent element, may be produced in the minimum possible size. Also, the latest process enables designing which emphasizes performance, thus enabling improvement in degree of freedom in designing.

Data supplied from the esp@cenet database - I2

(11)特許出願公開番号

(43)公開日 平成10年(1998)1月23日

A



【請求項１】複数の半導体チップを互いの能動面同士が向かい合う状態で、かつ前記複数の半導体チップの電極パッド同士を電気的に接続した構造を有する半導体装置であって、一方の半導体チップがマイクロプロセッサを有する半導体チップであり、前記マイクロプロセッサを有する半導体チップと対向する他方の半導体チップが前記マイクロプロセッサ間のデータ転送ネットワークを行う相互結合網を有することを特徴とする半導体装置。

10 すものであり、定興のクロムが型相互結合剤を持つ半導体装置の平面図である。

【０００５】以下図６のクロスポリマー型ＰＥ構成のカーボンエナインポリマーの例について説明する。図７は、最もオーソドックスな形態の個別要素チップでの構成を示すものであり、従来のクロスポリマー型相互結合術を持つ半導体装置の平面図である。

【0006】図7において、36は、パターニングされたPE、37はパターニングされたポリシリコン、38は回路基板内に形成された相互結合配線、39は回路基板である。この場合各チープは個別にパターニングされて回路基板に実装することにより、モジュールが構成されている。上記の図7に示す半導体装置は、一般的なQFPパッケージの例を示したものである。

20 とは逆に、すべての構成要素を1チップLSI内に形成

した例を図8に示す。図8は、生肉のクラスP型相互結合回路を有する半導体装置を示す平面図であり、その機能ブロックレイアウトを示したものである。図8において、40はPトランジスタ、41はユニークスプレーチを有する相互結合回路、42はシリコンに配置された電

4 は主尊に子づを求めている。この例で

は、1チップでPEやメモリバスのバス、相互接続配線などの構成要素を全て集積している。例えば0.35 μm などの最先端の微細化プロセスで、3、4層以上の多層配線技術により複数のPEの密着化が、1チップで実現できる。具体的には、4つのプロセッサが演算DSPコアをクロック結合して構成となっているものが存在する。このチップにはさらに並列処理制御用として、F15SCコアが1チップに搭載されている。

【0008】
【発明の解決しようとする課題】 以上のような、上記図1に示す従来の構成では、各チャンネルを個別にベースバンド回路と同様の基板へ搭載した構成であるため、各LSIチップ間の信号伝送遅延が長い、例えば60MHz以上の動作速度、または、信号搬送能力が不足、または、高価な問題を発生させる。

[illegible]

*) $\frac{1}{2} \cdot 2^{\frac{1}{2}} \cdot 2^{\frac{1}{2}} = 2$ ist die mittlere Geschwindigkeit v_{mit} für $\frac{1}{2} \cdot 2^{\frac{1}{2}} \cdot 2^{\frac{1}{2}} = 2$ m/s. $\frac{1}{2} \cdot 2^{\frac{1}{2}} \cdot 2^{\frac{1}{2}} = 2$ m/s.

$$\left\| \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \right\|_2 \leq \left\| \begin{bmatrix} S_{11} & 0 \\ 0 & S_{22} \end{bmatrix} \right\|_2 = \max\{\|S_{11}\|_2, \|S_{22}\|_2\} = \max\{\|S_{11}\|_2, \|S_{22}\|_2\}.$$

5

置は、複数のマイクロプロセッサ、あるいはDSPが密結合した、マルチプロセッサ構成のシステムにおいて、プロセッサ部と相互結合網部をそれぞれ別々の半導体チップで形成し、COC構造で一体化するものである。このため、プロセッサ部と相互結合網に対しそれぞれ最適なプロセスを適用させることが可能であり、システムコストを最小化することができる。

【0024】また、相互結合網内の配線設計の自由度を高めることができるため、配線幅、配線厚みの最適化により、信号伝送特性を向上させ、プロセッサ間データ転送の効率を上げることができる。さらに、プロセッサ部を共通に利用し、相互結合網のみの変更でシステム構築が可能である、など設計自由度、設計効率が向上し、トータルシステムのコストパフォーマンスを上げることができるといった、非常に大きな効果を生むことができる。

【図面の簡単な説明】

【図1】本発明の実施の形態における半導体装置の断面図

【図2】本発明の実施の形態における半導体装置の平面図

【図3】本発明の実施の形態における半導体装置の平面図

【図4】本発明の実施の形態における半導体装置の断面図

【図5】マルチプロセッサ構成のシステムを示すブロック図

【図6】クロス型相互結合網を示すブロック図

6

【図7】従来のクロス型相互結合網を持つ半導体装置を示す平面図

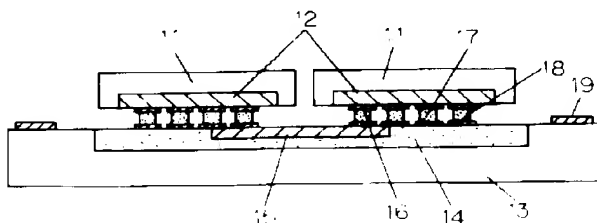
【図8】従来のクロス型相互結合網を持つ半導体装置を示す平面図

【符号の説明】

- 11 PEチップ
- 12 PEブロック
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスバスイッチ回路
- 16 上面チップエリア電極パッド
- 17 パンプ
- 18 下面チップエリア電極パッド
- 19 下面チップ周辺電極パッド
- 31 プロセッサユニット (PE)
- 32 相互結合網
- 33 PE制御部
- 34 クロスバスイッチ (論理上)
- 35 クロス配線
- 36 PEパッケージ部品
- 37 クロスバスイッチパッケージ部品
- 38 相互結合網配線
- 39 回路基板
- 40 チップ内PEブロック
- 41 相互結合網ブロック
- 42 周辺電極パッド
- 43 マルチチップ内半導体チップ

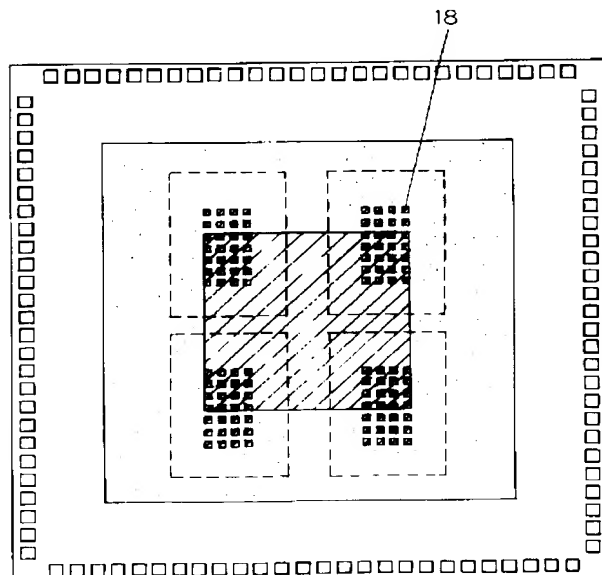
【図1】

- 11 PEチップ
- 12 PEブロック
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスバスイッチ
- 16 上面チップエリア電極パッド
- 17 パンプ
- 18 下面チップエリア電極パッド
- 19 下面チップ周辺電極パッド



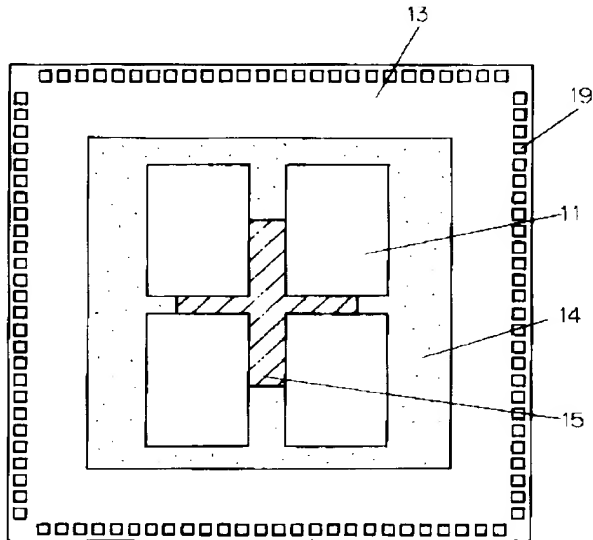
【図3】

18 下面チップエリア電極パッド



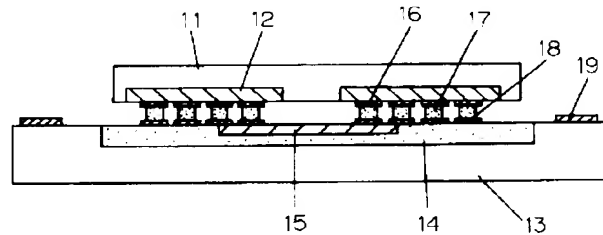
【図2】

- 11 PEチップ
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスバスイッチ
- 19 下面チップ周辺電極パッド



【図4】

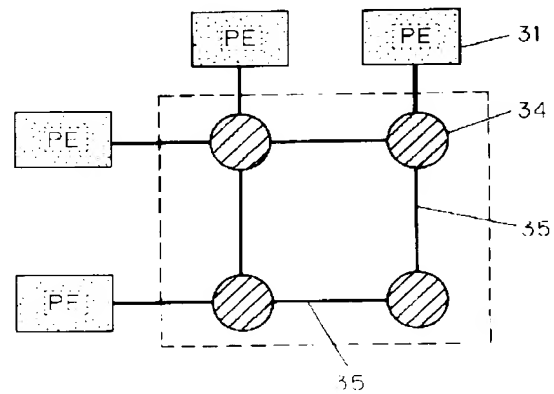
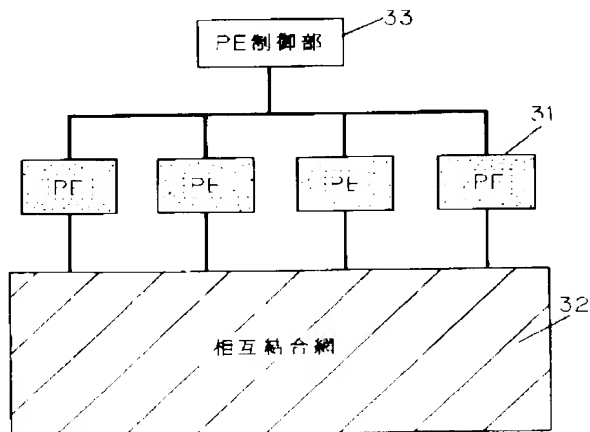
- 11 PEチップ
- 12 PEブロック
- 13 相互結合網形成チップ
- 14 相互結合網形成領域
- 15 クロスバスイッチ
- 16 上面チップエリア電極パッド
- 17 バンプ
- 18 下面チップエリア電極パッド
- 19 下面チップ周辺電極パッド



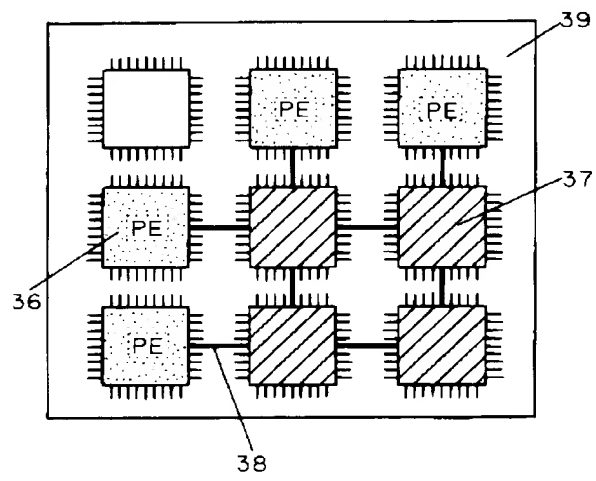
【図6】

34 クロスバスイッチ

【図5】



【図7】



【図8】

